

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-209124
(P2000-209124A)

(43) 公開日 平成12年7月28日 (2000.7.28)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 4 B 1/707		H 0 4 J 13/00	D 5 K 0 2 2
H 0 4 L 7/00		H 0 4 L 7/00	C 5 K 0 4 7

審査請求 未請求 請求項の数9 O L (全 18 頁)

(21) 出願番号	特願平11-6217	(71) 出願人	000001122 国際電気株式会社 東京都中野区東中野三丁目14番20号
(22) 出願日	平成11年1月13日 (1999.1.13)	(72) 発明者	今泉 市郎 東京都中野区東中野三丁目14番20号 国際 電気株式会社内
		(72) 発明者	星名 孝也 東京都中野区東中野三丁目14番20号 国際 電気株式会社内
		(74) 代理人	100093104 弁理士 船津 暢宏 (外1名)

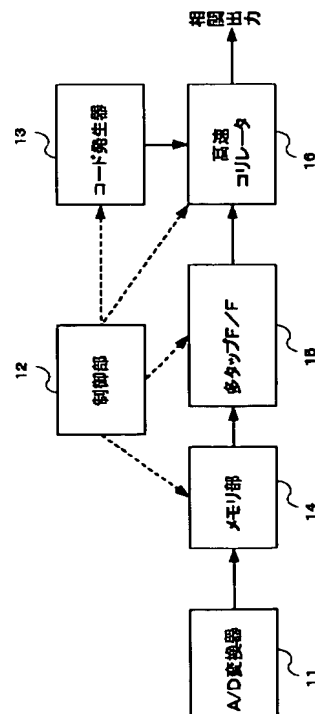
最終頁に続く

(54) 【発明の名称】 スペクトラム拡散通信用相関回路

(57) 【要約】

【課題】 従来のスライディングコリレータは相関を得るのに時間がかかり、マッチドフィルタは消費電力が増大するという問題点があったが、本発明は、構成素子を小規模にしLSIを安価にでき、相関を得ることができるスペクトラム拡散通信用相関回路を提供する。

【解決手段】 A/D変換器11は受信したスペクトラム拡散された信号をデジタル信号に変換し、制御部12の制御により、メモリ回路14にCDMAのチップレート或いはオーバーサンプル分高いクロックで1シンボル分書き込み、多タップF/F15がメモリ回路14から多タップで高速に情報を読み出してパラレル/シリアル変換（時間変換）を行い、高速コリレータ16と遅延F/F17とで高速に拡散符号と積和演算を行うスペクトラム拡散通信用相関回路である。



1

【特許請求の範囲】

【請求項 1】 スペクトラム拡散された受信信号をメモリに書き込み、書き込まれた信号を前記メモリから時間変換量に応じて多タップに読み出して時間変換を行う論理部に格納し、前記論理部を前記メモリの書き込み速度より高速に動作させてパラレル／シリアル変換を行って時間変換を行い、拡散符号と積和演算を高速に行う処理を複数回繰り返すことを特徴とするスペクトラム拡散通信用相関回路。

【請求項 2】 スペクトラム拡散された信号を受信する 1 つ以上の受信部と、前記受信したスペクトラム拡散された信号を保持する 1 つ以上のメモリ部と、前記メモリから読み出された信号を高速に演算処理するための時間変換を行う論理部と、前記メモリ部に保持された信号と拡散符号との乗算を行う 1 つ以上の乗算部と、前記乗算結果を加算する 1 つ以上の加算部とを備え、前記 1 つ以上の受信部から入力されるスペクトラム拡散された信号をチップ時間或いは当該チップ時間より短い時間で時間分割し、時間分割した信号を前記メモリ部に 1 シンボル分程度保持し、前記論理部にて前記メモリ部に保持された信号を時間変換量に応じて多タップで読み出して高速にパラレル／シリアル変換を行うことで時間変換を行い、前記乗算部にて拡散符号との乗算を行い、当該乗算結果を前記加算部で加算して相関を得ることを特徴とするスペクトラム拡散通信用相関器。

【請求項 3】 メモリ部は、書き込みと読み出しが同時にできる 2 ポートメモリであることを特徴とする請求項 2 記載のスペクトラム拡散通信用相関器。

【請求項 4】 乗算部は、1 ビットの拡散符号と多ビットのスペクトラム拡散された信号とを乗算する乗算器であり、拡散符号が「1」であれば多ビットをそのまま出力し、拡散符号が「0」であれば多ビットの反転を出力する論理により動作する乗算器であることを特徴とする請求項 2 又は請求項 3 記載のスペクトラム拡散通信用相関器。

【請求項 5】 加算部は、多ビットの加算器と、前記加算器からの出力を入力として 1 刻み時間だけ遅延させて前記加算器に戻す遅延素子とを有する累積加算器であることを特徴とする請求項 2 記載のスペクトラム拡散通信用相関器。

【請求項 6】 論理部からの出力を順次遅延させて特定の複数ビット毎に保持しつつ出力する複数の遅延部を備え、乗算部は、前記複数の遅延部から各々入力される特定の複数ビットと 1 ビットの拡散符号とを乗算器であり、拡散符号が「1」であれば多ビットをそのまま出力し、拡散符号が「0」であれば多ビットの反転を出力する論理により動作する複数の乗算器であり、加算部は、複数の多ビットの加算器であり、前記乗算部で為された乗算結果を加算する複数加算器であることを

2

特徴とする請求項 2 記載のスペクトラム拡散通信用相関器。

【請求項 7】 受信されたスペクトラム拡散された信号の直交検波信号における直交成分 (Q) をアナログ／デジタル変換を行う第 1 の A/D 変換器と、受信されたスペクトラム拡散された信号の直交検波信号における同相成分 (I) をアナログ／デジタル変換を行う第 2 の A/D 変換器と、前記第 1, 2 の A/D 変換器からの信号を記憶するメモリ部と、前記メモリ部から記憶されたデータを時間変換量に応じて多タップに読み出し、パラレル／シリアル変換して出力する動作を交互に行う第 1, 2 の時間変換論理部と、前記第 1, 2 の時間変換論理部から出力されるデータを順次遅延させる複数の遅延部と、前記第 1, 2 の時間変換論理部からの出力及び前記複数の遅延部からの出力の相関を高速に演算する複数の高速コリレータとを有することを特徴とするスペクトラム拡散通信用相関回路。

【請求項 8】 請求項 1 記載のスペクトラム拡散通信用相関器を 2 組設け、前記相関器における受信部を共通とし、前記受信部で検波されたスペクトラム拡散された信号の直交検波信号の同相成分 (I) と直交成分 (Q) とを、異なる拡散符号にて乗算し、各々の乗算結果を加算することを特徴とするスペクトラム拡散通信用相関器。

【請求項 9】 請求項 1 のスペクトラム拡散通信用相関器を 4 組設け、2 組をペアとして、当該ペアの相関器における受信部を共通とし、前記受信部で検波されたスペクトラム拡散された信号の直交検波信号の同相成分 (I) と直交成分 (Q) とを、各ペア内で第 1, 第 2 の異なる拡散符号にて乗算し、各々の乗算結果を加算して得られた 4 つの相関出力を前記第 1 の拡散符号で演算した結果同士と前記第 2 の拡散符号で演算した結果同士とを各々加算して合成することを特徴とするスペクトラム拡散通信用相関器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、移動体通信や無線 LAN 等におけるスペクトラム拡散通信システムの受信機側で用いられるスペクトラム拡散通信用相関器に係り、特に、簡単且つ小規模な構成のスペクトラム拡散通信用相関器に関する。

【0002】

【従来の技術】一般に移動体通信又は無線 LAN 等に用いられるスペクトラム拡散 (Spread Spectrum: SS) 通信システムでは、送信側で送信データに対して狭帯域変調 (1 次変調) を行い、更に拡散変調 (2 次変調) を行う、2 段階の変調を行ってデータを送信し、受信側では、受信データに対して逆拡散を行って 1 次変調に戻してから、通常の検波回路でベースバンド信号の再生を行うようになっている。

【0003】そして、従来、スペクトラム拡散された受

3

信信号の復調を行うための相関を得るスペクトラム拡散通信用相関器は、逆拡散回路、符号分割多重変調波の復調回路で構成され、具体的に、スペクトラム拡散通信用相関器は、同期捕捉を行い、以降検出された同期位相で相関を取るために、論理回路で構成されたスライディングコリレータ（SC）が用いられている。

【0004】スライディングコリレータは、1ビットの相関器を用いて局発符号系列（拡散符号）を1ビットづつシフトさせ、毎回受信の符号系列との相関を求めるものであり、符号系列長だけのビット数について相関を求めれば、相関がピークとなる同期位相が求められ、同期捕捉が行われるものである。

【0005】ここで、従来の逆拡散回路の1つであるスライディングコリレータについて図9を用いて説明する。図9は、従来のスライディングコリレータにおける相関出力を取得する部分は、A/D変換器31と、乗算器32と、PNコードレジスタ33と、加算器34と、遅延回路35とから構成されている。

【0006】上記従来のスライディングコリレータの各部を説明する。A/D変換器31は、符号分割多重（Code Division Multiple Access：CDMA）変調されて送信され、アンテナ（図示せず）で受信されたアナログ信号を、デジタル信号に変換する高精度のアナログ/デジタル変換器である。PNコードレジスタ33は、送信側でCDMA変調に用いられたのと同じ拡散符号であるPN（Pseudo Random Noise）符号コードを出力するレジスタである。

【0007】乗算器32は、A/D変換器31から出力されるデジタルの受信データに、PNコードレジスタ33から出力されるPNコードを乗算する乗算器である。加算器34と遅延回路35は、乗算器32から出力される乗算結果を、1シンボル期間累積加算してその積分値を相関出力として出力するものである。

【0008】従来のスライディングコリレータの動作は、アンテナで受信された受信データのアナログ信号が、A/D変換器31でデジタル信号に変換され、PNコードレジスタ33から出力されるPNコードと乗算器32で乗算され、加算器34と遅延回路35で累積加算されて、1シンボル分の加算結果が相関出力として出力されるようになっている。そして、乗算器32における乗算のタイミングを1チップずらして位相を変化させながら乗算、累積加算が繰り返され、相関出力がピークとなる同期位相が検出されるようになっている。

【0009】この逆拡散回路としてスライディングコリレータを用いる構成は、比較的簡易でゲート数も少なく、そのため消費電力も少ないというものであるが、同期捕捉を行うまでの時間は一般的には、1シンボル分の時間×1シンボル内のチップ数分だけかかるため、相関出力を得るまでの時間がかかるという問題がある。

4

【0010】相関出力を得るまでに時間がかかるという問題点を解決するために、スライディングコリレータの代わりに、マッチドフィルタ（整合フィルタ、若しくは Matched Filter：MF）をスペクトラム拡散通信用相関器に用いることが考えられている。マッチドフィルタは、位相をずらした場合の相関を一斉に取ることにより、1シンボル時間内に同期捕捉を行うものである。

【0011】ここで、従来の逆拡散回路の別の例であるマッチドフィルタについて、図10を用いて説明する。

図10は、従来のマッチドフィルタの構成例を示すブロック図である。従来のマッチドフィルタは、A/D変換器41と、乗算器42と、PNコードレジスタ43と、加算器44と、サンプルホールド（S/H）回路45とから構成されている。

【0012】上記従来のマッチドフィルタの各部を説明する。A/D変換器41は、CDMA変調されているアナログの入力信号をデジタル信号に変換する変換器である。サンプルホールド（S/H）回路45は、複数個設けられており、A/D変換器41からのデジタル信号を順次取り込んで保持する回路である。

【0013】PNコードレジスタ43は、拡散符号であるPN符号（コード）を出力するレジスタである。乗算器42は、各サンプルホールド回路45で保持されたデジタル信号に対してPNコードレジスタ43からのPN符号を乗算する乗算器である。加算器44は、乗算器42からの出力を一斉に加算する加算器である。

【0014】従来のマッチドフィルタの動作は、A/D変換器41でデジタル変換された入力信号が複数のS/H回路45に順次保持され、そのS/H回路45からの出力とPNコードレジスタ43から出力されるPN符号とが乗算器42で乗算され、更に乗算器42での乗算結果を加算器44で一斉に加算して、加算結果が出力される。その加算結果から相関出力を得るようになっている。

【0015】しかしながら、一般的なマッチドフィルタでは、一斉に位相をずらした場合の相関を取るため、例えば上記説明したスライディングコリレータに対して、1シンボル内のチップ数倍のゲート数が必要となり、ゲート規模が増大し、LSI価格の増大と消費電力の増大を招き、移動端末の受信機に用いるには事実上困難となっている。

【0016】

【発明が解決しようとする課題】このように、従来のスライディングコリレータでは、相関出力が得られるまでの時間が掛かるという問題があり、また、従来のマッチドフィルタでは、ゲート数が多くなり、LSI価格の増大と消費電力の増大をもたらすという問題点があった。

【0017】本発明は上記実情に鑑みて為されたもので、構成素子数を小規模にしてLSIの低価格化を図り、相関出力を得ることができるスペクトラム拡散通信

10

20

30

40

50

5

用相関回路を提供することを目的とする。

【0018】

【課題を解決するための手段】上記従来例の問題点を解決するための本発明は、スペクトラム拡散された受信信号をメモリに書き込み、書き込まれた信号をメモリから時間変換量に応じて多タップに読み出して時間変換を行う論理部に格納し、メモリの書き込み速度より高速に論理部にてパラレル／シリアル変換を行って時間変換を行い、拡散符号と積和演算を高速に行う処理を複数回繰り返すスペクトラム拡散通信用相関回路であるので、構成要素数を小規模にして、相関出力を得ることができる。

【0019】

【発明の実施の形態】本発明の実施の形態について図面を参照しながら説明する。本発明の実施の形態に係るスペクトラム拡散通信用相関回路は、受信部から送出されてくるスペクトラム拡散された信号について、通常、いわゆるチップ時間間隔で拡散符号により処理されているところを、スペクトラム拡散された信号を一時的にメモリ部に記憶しておき、記憶されたスペクトラム拡散された信号をメモリ部から時間変換用論理部が複数タップで高速に読み出し、読み出した信号と拡散符号との積和演算を高速に行う処理を複数回繰り返すようにしたものであり、構成要素数を小規模にして、相関出力を得ることができるものである。

【0020】具体的には、スペクトラム拡散された信号を少なくとも1シンボル分メモリに貯え、それを時間変換用論理部に貯え、更にそれを高速で読み出しつつ、拡散符号と高速に積和演算することで、受信部から入力されるスペクトラム拡散された信号の時間変換を実現するものである。

【0021】現在、IMT2000でAR1B（電波産業会）より提案されている、いわゆるW-CDMA（広帯域CDMA）は、チップ速度は4M（メガ）cps（chipper second）である。これに対し、W-CDMAが実用化される2001年のLSI（大規模集積回路）の製造プロセスを用いれば、CMOS（相補形MOS）の場合、線幅が0.18μm程度となり、使用するクロック周波数は、500MHzから2G（ギガ）Hzが予想されている。

【0022】すなわち、入力信号の周波数に比べはるかに高い処理が回路内において可能となる。チップ速度は4Mcpsであるので、信号処理上からこの4倍程度のサンプリングで信号を刻み、拡散符号とのマッチングをより精密に観察する必要があるが、それでも受信信号の処理に用いられるクロックは16MHzで処理することになり、他方、回路の内部処理に用いられるクロックのクロック速度として1.6GHzが使用可能となれば、受信信号の処理に対して内部処理が100倍の処理能力を備えることとなる。

【0023】マッチドフィルタと同一の機能を達成させ

6

る場合は、例えば、通常行われているように16MHz刻みで受信したスペクトラム拡散された信号をメモリに蓄積し、それを例えば、1.6GHzの高速で読み出して、高速処理のスライディングコリレータにて高速に積和演算を行えば100倍の速度で処理可能である。従って、チップ数（拡散率）が25の場合であれば4倍オーバーサンプリングで、100サンプル存在することになるため、1シンボルの相関をマッチドフィルタと同一の1シンボル時間で取ることが可能となる。

10 【0024】この場合、拡散コードは1シンボル分変化させないで、100回繰り返し使用するものであるが、スペクトラム拡散された信号は1サンプル刻みでスライドさせる必要があり、メモリとしては最低2シンボル分用意しておく必要がある。

【0025】まず、16MHzで1シンボル分を第1のメモリに書き込んだら、次の1シンボル分を1サンプル毎に第2のメモリに書き込みを行うと共に、第1及び第2のメモリから1.6GHzで1シンボル分のデータを1サンプルずつスライドさせて100回読み出しを行

20 う。

【0026】つまり、1シンボル分のデータが書き込まれた第1のメモリと1サンプル毎に書き込みが為される第2のメモリから1シンボル分のデータを1サンプルずつスライドさせて1.6GHzで100回読み出しを行うということは、第2のメモリについては書き込みと読み出しが同時に行われていることになり、1シンボル分のデータを読み出す時間にちょうど次の1シンボル分のスペクトラム拡散された信号が第2のメモリに読み込まれることになる。この動作を第1のメモリと第2のメモリとで交互に行えば、連続してスペクトラム拡散された信号のメモリへの書き込みと読み出しの動作を行うことができる。従って、マッチドフィルタと同様、常時、相関出力を送出することが可能になる。

30 【0027】上記拡散率はW-CDMAの場合、物理チャネルにより異なるが、最低で4チップ、最大で256チップ必要となる。但し、この場合、チップ速度は4.096Mcpsで一定と考えて良い。尚、将来、可変レートが想定されている16.384Mcpsまで高まる可能性はある。従って、最大で256チップ必要とすると、現実には一個の高速処理のスライディングコリレータ（高速SC）では処理できないことになる。その場合には、複数の高速SCを用意し、同様の演算を1サンプルずつずらして行えば良い。

40 【0028】具体的には、256チップの場合、1024サンプル（256チップ×4オーバーサンプリング）になるので、メモリからのデータ読み出しクロックとして、1.6GHzのクロックが使用可能であれば、1.6GHzのクロックで100倍の処理を行うため、11個の高速SCを必要とする。11個の高速SCで1100サンプル（100サンプル×11個）に対応可能とな

7

る。この場合でも 1024 タップのマッチドフィルタ (MF) を構成するハード規模に比べればはるかに少ないハード規模で実現できることになる。

【0029】但し、上記の回路では、速度が 100 倍になっているのに、ハード規模は 1/100 より大きいために、消費電力は MF に比べ大きくなってしまふ。しかし、ハード規模が 1/10 程度にはなるので、W-CDMA の復調部の大半を占めている MF 部が 1/10 程度になることは、LSI コストを低減する効果がある。

【0030】尚、上記の例では、拡散符号を取り替えない場合を説明したが、信号の方を固定し、拡散符号を取り替えることを行えば、短時間で拡散符号の特定を行って相関出力を得ることが可能になる。

【0031】また、高速 SC の代わりに MF 構成の積和演算器を用意し、メモリからの読み出しをシンボル単位が多タップで行えば、その相関出力を極めて短時間、例えば、1 GHz クロックの場合に、1 ns (ナノ秒) で出力することが可能になる。これは多数のメモリを用意し、多数のシンボル単位の情報をそれらメモリに蓄積し、その相関出力を得る場合に効果的である。すなわち、本来であれば複数の MF が必要な場合でも 1 つの MF にて処理可能となる。

【0032】尚、W-CDMA システムにおいて移動端末として MF 動作が必要なのは、初期同期の内、最初の第 1 止まり木のロングマスクシンボルを捕まえに行く時、つまり、シンボル同期及びスロット同期の確立時だけであり、それ以外は間欠的な動作が許される形態になっている。初期同期は、この第 1 止まり木のロングマスクシンボルを捕まえた後、第 2 止まり木のロングマスクシンボルにてロングコードグループを特定する。これは同一時の入力信号を別のショートコードで復調することにより達成できる。更に第 1 止まり木のパイロットシンボルの場所にてロングコードを特定する。これにより初期同期は、おおよそ達成できる。

【0033】これらの動作を完了しなければならない時間は、これらの動作を複数の基地局に対し行って 3 秒以内とされている。この中で初期のロングマスクシンボルを捕まえに行く時間は極めて少時間 (少なくとも 1 秒以内) であり、ここで消費電力が大きくなっても全体の通話時間に対して、上記動作を行うのはスイッチを ON した時だけであることを考慮すると、電池に対する影響はほとんど無いといえる。すなわち、通常は SC 動作を間欠的に実行するだけで良くなり、総合的に消費電力の低減も達成することができる。

【0034】上述した回路ではメモリからの読み出しを、書き込み速度より高速に行う必要があったものである。本発明の実施の形態に係るスペクトラム拡散通信用相関回路では、メモリからの読み出し速度は、書き込み速度と同じとし、但し読み出しを多タップ (多サンプル) 同時に行うものである。

8

【0035】これを F/F 構成 (フリップフロップ構成) の時間変換用の論理部に貯え、ここからの読み出しを高速で行うことにより、高速読み出しメモリと同等のことを実施するものである。

【0036】次に、本発明の実施の形態に係るスペクトラム拡散通信用相関回路について図 1 を用いて説明する。図 1 は、本発明の実施の形態に係るスペクトラム拡散通信用相関回路の構成ブロック図である。尚、ここでは、先ず比較的動作が単純な、シンボル同期、無線スロット同期、フレーム同期が確立した後の動作 (通常通信時) について説明する。本実施の形態のスペクトラム拡散通信用相関回路 (本回路) は、図 1 に示すように、時系列の PN 符号 (PN コード) を発生するコード発生器 13 と、PN 符号により変調されたスペクトラム拡散信号を入力し、そのアナログ信号をデジタル信号に変換する A/D 変換器 11、そのデジタル信号を保持するメモリ部 14 と、メモリ部 14 からデータを読み込んで保持する多タップ F/F 15 と、多タップ F/F 15 からの出力とコード発生器 13 から出力される PN コードとを高速に積和演算処理する高速コリレータ 16 と、メモリ部 14 及び多タップ F/F 15 及びコード発生器 13 及び高速コリレータ 16 へのデータ等の入出力を制御する制御部 12 とから構成されている。

【0037】通常通信時における本回路の動作を説明する。メモリ部 14 は、入力されるデジタル信号を一時的に保持するメモリの役割を果たし、1 シンボル分のデータが保持できるようになっている。そして、制御部 12 の指示により、信号の 1 シンボル分のデータを先頭サンプルから順次シフトさせながらメモリ部 14 に取り込む。ここでは、シンボル同期、無線スロット同期、フレーム同期が確立していることを前提にしているので、どの位相に特定のシンボルの先頭サンプルが存在するかは分かっているものである。

【0038】制御部 12 は、メモリ部 14 に対し、今までの取り込み速度、すなわちサンプル速度 (通常の 4 倍オーバーサンプリングであれば約 16 MHz、正確には 4.096 MHz の 4 倍) と同じ速度で多タップ F/F 15 に多タップ (多サンプル) にて読み出しを行わせる。

【0039】そして、多タップ F/F 15 は、多タップで読み込んだ速度に比べて速い速度でパラレル/シリアル変換を行い、高速コリレータ 16 に出力する。このパラレル/シリアル変換は、時間変換を意味するものであり、変換出力速度は、多タップ F/F 15 の精度、オーバーサンプリング数、高速コリレータ 16 の数によって定められる。図 1 の例では、高速コリレータ 16 が 1 個の場合を示しており、多タップ F/F 15 のタップ数 N は 1024 としている。

【0040】また、例えば、多タップ F/F 15 に入力される信号の速度の 16 倍の速度で出力する場合には、

10

20

30

40

50

タップ数 N は16であり、入力信号が16Mcpsで入力されると、出力信号は $16\text{Mcps} \times N(16) = 256\text{Mcps}$ の速度で出力される。この場合、オーバーサンプリング数を4とすると、 $256\text{Mcps} \div 4 = 64$ となり、高速コリレータ16は64個必要となる。

【0041】その出力を受けて高速コリレータ16は、多タップ $F/F15$ の読み出し速度と同じ速度のクロックで積和演算を行う。この時、コード発生器13より拡散符号(PNコード)を順次上記クロック速度で受け取る。ここで、コード発生器13はコードレジスタであっても構わない。この符号の発生及び読み出しも同じ制御部12によって制御される。尚、高速コリレータ16で為される乗算演算は、拡散符号が「1」であればメモリ部からのデータ(多ビット)をそのまま出力し、拡散符号が「0」であれば多ビットの反転を出力するものである。

【0042】次に、高速コリレータ16が複数個備えている場合について、図2を用いて説明する。図2は、本発明の実施の形態に係る複素型のスペクトラム拡散通信信用相関回路の構成ブロック図である。尚、図1で示している制御部12、コード発生器13は、簡略化するために省略しているが、図1と同様に、制御部12は、メモリ部14、多タップ $F/F15$ 、高速コリレータ16、遅延 $F/F17$ への入出力タイミングを制御するものであり、コード発生器13は、高速コリレータ16に拡散コードを出力するものである。

【0043】複素型の回路は、図2に示すように、受信信号のQ信号をアナログからデジタルに変換するA/D変換器11aと、受信信号のI信号をアナログからデジタルに変換するA/D変換器11bと、A/D変換器11a、11bからのデジタル信号を記憶するメモリ部14と、メモリ部14から入力されるデジタル信号をパラレル/シリアル変換する多タップ $F/F15a$ 、15bと、多タップ $F/F15$ からのデジタル信号を順次遅延させて出力する複数の遅延 $F/F17$ と、多タップ $F/F15$ の出力、遅延 $F/F17$ からの出力を受け、相関演算を行う複数の高速コリレータ16とから構成されている。尚、遅延 $F/F17$ は、遅延部を構成しており、

高速コリレータ16では、拡散符号(拡散コード)との乗算が為される乗算部を備えており、更に、複数の高速コリレータ16からの出力は全て加算されて、全体の相関出力が得られるようになっている。但し、図2では、全体の相関出力を得るための加算部は図示していない。ここで、多タップ $F/F15$ を2個設けているのは、1本で書き込みを行っている時は、もう1本は読み出しを行うためのものであり、この動作を交互に行うようにするためである。

【0044】メモリ部14における読み出し速度は、書き込み速度と同じであるが、読み出す場合には、サンプル数を多数読み出すようになっている。多タップ $F/F15$ は、メモリ部14から多数のサンプル数をパラレルに入力し、シリアル変換してから高速コリレータ16又は遅延 $F/F17$ に出力するものである。この多タップ $F/F15$ によってパラレル/シリアル変換(時間変換)を行うことで、高速で動作する部分は、デジタル回路で構成される部分のみとなる。

【0045】図2のような構成とすることにより、DRAM又はSRAM等の本格的なメモリを使用可能となり、チップ面積の低減及びチップ価格の低減が可能となるものである。また、図7のように、高速コリレータ(SC)をマトリクス状に配列し、複数のユーザの情報を復調可能とすることができる。図7は、本発明の実施の形態に係る複数ユーザ復調可能なスペクトラム拡散通信信用相関回路の構成ブロック図である。この場合、SCを必要な受信情報のタイミングだけで動作させるようになっており、また、SC列にサーチャとしての機能を持たせることもでき、この場合、演算ビット数を低減できるものである。

【0046】以下に、本発明の実施の形態に係るスペクトラム拡散通信信用相関回路における変換時間(倍数)、動作クロック周波数(Hz)、高速コリレータ(SC)の数、メモリ部を F/F で構成した場合のメモリ数、遅延 F/F の数、多タップ F/F (時間変換用 F/F)の数の関係について、[表1]に示す。

【0047】

【表1】

変換時間	クロック周波数	SC数	メモリ部のF/F数	遅延F/F数	時間変換用F/F数
1	16M	1024	0	2048	0
4	64M	256	1536	510	8
16	256M	64	1920	126	32
64	1024M	16	2016	30	128
256	4G	4	2040	6	512
1024	16G	1	2048	0	2048

【0048】現実的には、W-CDMAシステムの移動 50 端末として同時刻に処理すべきシンボルは結構多く、受

信信号としてシンボル単位でメモリ部に格納しなければならない信号は、アンテナ数が2本であるとする、複素変調信号（I/Q）、遅延波成分で計6本、更に、制御、トラフィックの複数チャネルを考慮すると合計24～48本である。

【0049】尚、DHO（タイバシテイハンドオフ）時には他の基地局を同時期に捕らえなければならなくなるので、その1～2倍になる。1倍とは、現在通信を実行中の当該基地局の信号再生の1部を割愛して、例えばパス数を低減するとか等を実施することによりハードを増加させないでDHOを実行するものである。

【0050】また、拡散コードも複素変調化してあり、さらに拡散コードを変えて同時刻に送信されてくるマルチコードの場合や、第一止まり木と第二止まり木のロングコードマスクシンボルの場合には、入力信号を同じにしてコードのみ変えて相関出力を得る動作を行う必要がある。

【0051】従って、通常のSCを使用して相関を得ようとする、SCの本数は少なくとも96本からその4～5倍の500本程度必要になる。更に、この他に、同期を得るためのサーチが必要であるが、通常サーチにはマッチドフィルタ（MF）方式が使用されており、ハード規模はSCに比べ100から300倍程度となる。

【0052】具体的には、SCのゲート数は約200ゲート程度、同じ演算精度のMFのゲート数は約60kゲート程度必要である。但し、サーチの動作ではW-CDMAのデータ復調のための演算精度は必要としないので、10kゲート程度で足りることになる。また、アンテナ毎にサーチは必要であり、DHO時に対応するためには、もう1つ必要となる場合もある。

【0053】上記の状況において、本回路を使用すれば、メモリ部及び多タップF/Fを新設しなければならないが、高速コリレータの本数を少なくすることが可能になり、大幅なハード規模の低減が可能である。更に後述するように、同期捕捉のためのサーチも不要となるので更に大幅なハード規模の低減がもたらされる。

【0054】メモリ部は、2ポートのDRAM（Dynamic Random Access Memory）等が十分使用可能であり、デジタルのF/F（Flip-Flop）で組んだ回路に比べれば大幅なチップ占有面積の低減や消費電力の低減が可能となる。

【0055】以上では、シンボル同期、無線スロット同期、フレーム同期が確立した後の動作（通常通信時）について説明したが、次に、これらの同期が確立していない、初期同期時について説明する。初期同期時には、移動機の電源スイッチをONした状態で、未だシンボル同期、無線スロット同期、フレーム同期が確立しておらず、その状態で同期を特定しなければならないものである。ARI Bの仕様では、以下の様にして、初期同期の

確立を行う。

【0056】第1ステップとして、チップ同期、シンボル同期、無線スロット同期の確立を行う。まず、第1止まり木のロングコードマスクシンボルを検出して、チップ同期、シンボル同期及び無線スロット同期を確立する。以下、説明の条件として、第1止まり木のチップレートは4Mcp s、拡散率は256、とし、A/D変換器11からの信号入力を4倍オーバーサンプリング（16Mcp s）、6ビットとする。

10 【0057】そして、初期同期時の構成及び動作を以下の（A）～（N）に説明する。尚、図2の例を基にして説明するものの、特に、時間変換16倍の場合について具体的に説明する。

【0058】（A）メモリ部14は、1024タップ（6ビットが1024個横に並んでいるイメージ）+α（数タップ）とする。

（B）このメモリ部14にA/D変換器11からの出力を順次書き込んで行く。書き込み速度は16MHzのクロックを使用する。

20 【0059】（C）ちょうど1024タップ（ちょうど止まり木チャンネルの1シンボル分）書き込んだら、16タップ分一度に多タップF/F（時間変換用F/F）15にデータを16MHzのクロックを使用し転送する。その転送と同時に63個の遅延F/F 17にもシンボルの最初から63個分のサンプルデータを転送する。この時、256MHzのクロック速度で多タップF/F 15及び遅延F/F 17、高速コリレータ16を動作させる。また、16MHzでのメモリ部14への書き込みは継続して進める。尚、遅延F/F 17にシンボルの最初からサンプルデータを転送すると記載したが、これ
30 は、単純想定であって必ずしもシンボルの最初とは限らない。

【0060】（D）高速コリレータ16は、256MHzのクロックで積和演算を遂行する。この時の拡散コードは共通のショートコードである。

【0061】多タップF/F 15 aの16タップのデータが全部転送されるのに丁度16MHzの時間がかかる。この時間内にメモリ部14からもう1つの多タップF/F 15 bに16個のデータが転送されている。そこで、17番目のデータを多タップF/F 15 bより送出する。
40

【0062】この動作を64回繰り返すと、64個の高速コリレータ（SC）16から64個のサンプル点での相関出力が同時に得られることになる。これを保持し、時分割でサンプル時間毎に（16MHzで）切り替えて出力すれば、MFと同等の出力を得ることができる。

【0063】更に、ここでSC 16内の累積加算器リセットして上記（C）より再度開始する。このとき、最初の64個分のサンプルデータは捨てられており、65番目のデータから遅延F/F 17及び16タップの多タ
50

ップF/F15にメモリ部14より転送する。

【0064】この大きな動きを16回繰り返すことにより、64（個分のサンプルデータ）×16（回）＝1024となり、1024サンプル分の相関出力を1シンボル時間内に取ることができる。メモリ部14の情報も64サンプル分捨てると、64サンプル分新規に記憶され、完全に更新されている。

【0065】高速コリレータ（SC）16に入力される拡散コードは全て共通で、シンボルの最初から入力される。4倍オーバーサンプルの場合には、1タップ目が4

【0066】（E）高速コリレータ16の速度は、サンプル速度の16倍で動作するので、1サンプル分の相関を64個取得し終わった時に、丁度64サンプル時間掛かることになる。この終了時点で、メモリ部14には16MHzの速度で書き込みをしているので、64サンプル分の新たな入力データが取り込まれている。

【0067】（F）ショートコードで拡散されているロングコードシンボルは、10シンボルに1回だけ挿入されているので、1番近い基地局を探し出すには少なくとも10シンボル分繰り返さなければならない（0.625ms/10シンボル）。尚、この所要時間は通常のMFを使用する場合と変わらない。

（G）尚、メモリ部14は、1024タップ有れば原理的に充分であるが、信号処理遅延の関係で消去してはいけない場合があるため、余裕を設けている。1025タ

ップ書き終えれば最初の1タップ目に帰って更新をして行けば良い。

【0068】（H）このようにして、少なくとも10シンボル分見れば、隣接基地局も含め在籍基地局のチップ同期とシンボル同期及びロングコードマスクシンボルの位置から無線スロット同期を取ることが可能である。この処理はプロファイラにより行われ、一番強い相関出力を比較して検出する論理と、その時間を特定する。勿論、通信状況が悪ければ、この10シンボル分（1無線スロットに相当）のデータだけで判断できない場合は次の10シンボル分を合わせて判断する。プロファイラ内では1無線スロット内の同位相のサンプル刻みでの結果を加算等して判断するようにしている。いずれにせよ上記演算処理を連続して繰り返せば良い。

【0069】次に、本発明の実施の形態に係るスペクトラム拡散通信用相関回路における消費電力について、

【表2】【表3】及び図3を用いて具体的に説明する。変換時間1倍、4倍、16倍、64倍、256倍、1024倍をa～fの例として、各例のクロック周波数（MHz）、高速コリレータ（SC）のゲート数、メモリ部のF/Fのゲート数、遅延F/Fのゲート数、多タップ（時間変換用）F/Fのゲート数、更に合計のゲート数を示している。

【0070】

【表2】

	MHz	kゲート	kゲート	kゲート	kゲート	kゲート
変換時間	クロック周波数	SC	メモリ部のF/F	遅延F/F	時間変換用F/F	合計
a	16	600	0	135	0	735
b	64	154	102	34	1	291
c	16	256	39	127	4	172
d	64	1024	10	133	1	152
e	256	4096	3	135	0	172
f	1024	16384	1	135	0	135

【0071】また、a～fの例に対して、CMOSプロセスレベル（ゲート長）0.35μm、0.25μm、0.18μmの場合についての消費電力を表している。消費電力（W）＝ゲート数×周波数×単位消費電力値で計算される。単位消費電力は、μW/gate/MHz

で表され、各メーカーにて提供されるものである。尚、

【表3】では600kゲートフルMFの消費電力も参考

【0072】

【表3】

	消費電力 (W)		
	0.35 μm	0.25 μm	0.18 μm
a	7.06	0.82	0.41
b	8.22	0.96	0.48
c	8.15	0.95	0.48
d	13.23	1.54	0.77
e	91.72	10.72	5.35
f	1339.88	156.32	78.16
フルMF	5.76	0.67	0.34

【0073】また、[表3]におけるゲート長0.25 μm の消費電力をLog表示すると、a～fの例では、-0.08449、-0.01825、-0.02198、0.188364、2.194013となり、その変化を図3に表している。図3は、ゲート長0.25 μm の消費電力のLog表示を表す図である。この図3では、a～cのケース（変換時間1～16倍）が低消費電力となっていることが分かる。

【0074】次に、第2ステップとして、ロングコードグループの特定について説明する。無線スロットの同期が確立できれば、第2止まり木のロングコードマスクシンボルがどこに存在するかは分かるのでその情報をメモリに取り込む。実際には、第1止まり木のロングコードマスクシンボルと同じ位置に存在するので、取得する情報は同一位置にて得られることになる。

【0075】そして、メモリに取り込んだ情報を、例えば、初期同期時の動作（A）～（C）を行えばよいが、この場合、シンボル同期が確立しているので、メモリ部14に取り込んだ1サンプル目が必ずシンボルの先頭になっている。そこで、メモリ部14から読み出された情報を高速コリレータに同じ拡散符号ではなく16種類の拡散符号を取り替えて処理をすればどこかで相関が得られるので、ロングコードグループの特定を行うことができる。

【0076】このロングコードグループの特定を、1シンボル時間内で達成するのは極めて容易である。前例で述べたように64桁の相関出力が同時に64サンプル時間内に得られるので、この場合は必ずしも遅延F/F17は必要ない。同じ信号を64個の高速コリレータ（SC）16に供給した方が好適である。

【0077】次に、第3ステップとして、ロングコードの特定及びフレーム同期の確立について説明する。無線スロットの同期が確立できれば、第1止まり木のパイロットシンボルがどこに存在するかは分かるので、その情報をメモリ部に取り込む。今度は2シンボル分情報を取り込んでもよいし、遊んでいるメモリがあるのなら全パイロットシンボルの4シンボル分取り込むようにしてもよい。

【0078】情報の取り込みが完了したら、第2ステップの場合と同様に行う。位相差を含むロングコードの種類は1ロングコードグループ内に全部で32通り、位相は16無線スロットの繰返しになるので16通り存在するから、1つのコリレータでロングコードを取り替えて行っても32（32種類） \times 16（16位相） \times 4（4シンボル分のパイロット） \times 4（4 μs ：256 MHzクロックにて64サンプル分〔1サンプルは16 MHz〕の時間） \div 64（64個の相関出力が同時に得られるので）=128 μs で特定できることになる。

【0079】通常のコリレータを用いて実時間でロングコードの特定を実行すると、1シンボル時間（64 μs ） \times 32（32種類） \times 16（16位相）=32768 μs （約33 ms）に、パイロットシンボルが10シンボルに4回しか存在しないため、2.5（10/4）倍、すなわち80 ms以上（約33 ms \times 2.5）はかかることになるので、従来のコリレータと比較して本回路を用いれば、大幅な時間短縮が可能である。

【0080】以下、理想状態でのそれぞれのステップでの所要時間を表記する。条件は1 GHzクロックが使用可能な場合とする。

第1ステップ：0.625 ms（従来の方式と同一）

第2ステップ：0.001 ms（従来の方式では1無線スロット0.625 ms）

第3ステップ：0.2 ms（従来では80 ms）

【0081】現実的には、1つの処理に1無線スロットは必然であるので、無線スロット単位で表記する。

第1ステップ：1（従来の方式と同一）

第2ステップ：1（従来の方式と同一）

第3ステップ：1（従来では32 \times 16=512（512無線スロット \times 0.625 ms=320 ms）となり、更に正確に処理するためにはこの4から5倍は掛かることになる。）

いずれにせよ、第3ステップの時間が主であり、本回路では第3ステップの時間を大幅に短縮しているので、第1ステップの時間をたとえ1桁上げても従来の方式に比べればなお勝っていることになる。

【0082】次に、DHO（ダイバーシティハンドオー

パー或いはダイバーシティハンドオフ)時の動作について説明する。現在通信を行っている基地局(現基地局)との通信環境が悪化した場合(多くの場合が通信を行っている基地局から遠ざかって近接する基地局(近接基地局)に近づいた状況となった場合)で、近接基地局との通信をした方が良い通信環境が得られる場合に、まず近接基地局を探し出し、その近接基地局との交信を始めるが、現基地局からの情報と同じ情報を近接基地局から送ってもらい、両者を受信する。すなわちセルダイバーシティ受信を行い、両受信信号のレベルが所定値以上になるまで継続し、その後、現基地局との通信を切り、新しい隣接基地局との交信状態に移行する。これをソフトハンドオーバーとかソフトハンドオフと呼び、切れ目の無い交信を可能とするものである。このように、セルダイバーシティ受信を行ってソフトハンドオーバー若しくはソフトハンドオフを行うことがDHOである。

【0083】ARIBの仕様では、全ての基地局は非同期で動作している。そのため隣接基地局のチップ同期、シンボル同期、無線スロット同期を確立する過程は、上記初期同期の場合と同様の処理が必要になる。従って、通常DHO用に新たにハードを増設することが行われている。具体的には、別に1アンテナ分を使用し、それを近接基地局に向けるとかの対策が取られている。ここでは、ハードの空時間を利用し、DHOを行う方式を述べる

【0084】尚、本DHOに対応していないハード構成であっても、前述したように、多数のメモリとその情報を逆変換(復調)する多数のスライディングコリレータとを設置してある。これらの数の最大は、移動機がスイッチONした時に止まり木チャネルを捕捉する時であり、その動作が完了すればメモリもスライディングコリレータも多くは休止状態でよくなる。それをDHO時に使用すれば、問題なくハンドオーバー先の基地局からの情報を復調することができるものである。

【0085】次に、本回路を干渉キャンセラとして用いる場合について図4、図5を用いて説明する。図4は、本発明の実施の形態に係る相関回路を干渉キャンセラユニットに用いた構成ブロック図である。図5は、本実施の形態に係る干渉キャンセラユニットを用いた干渉キャンセラの構成ブロック図である。干渉キャンセラユニット(ICU)は、図4にその構成を示すようにMFを備え、更に干渉キャンセラは、図5に示すように、多数のICUから構成されているため、LSI規模の増大、LSI個数の増大をもたらしている。

【0086】具体的には、ユーザ数×ステージ数×整数倍のMFが必要であり、ユーザ数は300又は600、ステージ数は少なくとも3、整数は少なくとも4又は8、従って3000から10000のMFが必要となる。本実施の形態においては、上記MF部に高速演算処理可能な本回路を実施し、MFの数を大幅に低減するも

のである。

【0087】また、図5に示すように、受信部(RX)と2つの加算器(+)の後段にメモリ部と多タップF/Fを設け、受信部及と遅延回路(Delay)又は複数のICUとの間、加算器と遅延回路又は複数のICUとの間、加算器と複数のICUとの間で処理速度の時間変換を行うようになっている。従って、図4に示すマッチドフィルタ(MF)は、通常のMFと比べて高速積和演算の処理を行うものである。

10 【0088】尚、本特許の基本概念はメモリにCDMA変調情報を蓄積した後、それを多タップで読み出して論理回路(F/F)で時間変換を行うことを使用した相関器にあり、以下の概念を取り込んでもその効果に変わりはない。

(1) 高速コリレータを用いた高速読み出し及び演算の際の多層クロックによる、クロック速度の低減。この場合、高速コリレータの本数は増加するので、消費電力の低減には直接結びつかない。

20 (2) オーバーサンプリングの倍数の可変。初期状態は、2倍で実施し、概略確定した後、4倍にするなど。

(3) 高速コリレータ及びMF(積和演算器)構成を複素型にする場合。複素高速コリレータ(複素型高速SC)は、図8のように、原理的に4つの高速コリレータにより構成されるが、工夫することにより、ハード規模は4倍より少なくなり、約2倍の規模で構成可能である。尚、図8は、本発明の実施の形態に係るスペクトラム拡散通信回路における高速コリレータを複素型とした場合の回路構成ブロック図である。但し、図8においては、1つの複素型高速SC内に、コリレータは2個となっているのは、これはコリレータの前段で、拡散コードを乗算したI、Q信号の加減算を行うようにしているため、4つのI、Q信号について4つのコリレータを用いる必要がなくなり、2個のコリレータで処理可能となったものである。

【0089】つまり、複素乗算の場合、以下の式に示すような、時間加算を行うものである。

$$(A_I + j A_Q) (C_I + j C_Q) = A_I C_I - A_Q C_Q + j (A_I C_Q + A_Q C_I)$$

40 複素でない場合の1つのコリレータでは、ACの時間加算を行っているが、複素の場合、本来、4つのコリレータを用い、 $A_I C_I$ 、 $A_Q C_Q$ 、 $A_I C_Q$ 、 $A_Q C_I$ の時間加算を行ってから加減算を行うようにすると、理論的には4つのコリレータを必要とするが、図8に示す例では、 $A_I C_I - A_Q C_Q$ と $A_I C_Q + A_Q C_I$ を演算してから、時間加算を行えば、ハード規模を減少可能とするものである。

50 【0090】尚、図8の内容を説明すると、複素型の場合の構成は、スペクトラム拡散信号を入力し、アナログ信号をデジタル信号に変換する6bit A/D変換器81がI相信号とQ相信号とに対応して設けられ、この6

bit A/D変換器 81 から出力されるデジタル信号を保持するメモリ部 82 と、メモリ部 82 からのデータを多タップ（多サンプル）で読み込んでパラレル/シリアル変換する多タップ F/F84 とがそれぞれ設けられ、更に複素型 SC80a, 80b, 80c に入力されるデータ及びコードその他の信号のタイミングをクロック（CLK）によって調整するラッチ回路 83 が複数設けられている。

【0091】本発明の実施の形態に係るスペクトラム拡散通信用相關回路によれば、スペクトラム拡散された受信信号を 4 倍オーバーサンプリングの 16MHz のクロックで A/D 変換してメモリ部に 1 シンボル分程度書き込み、それを多タップで多タップ F/F に読み出し、100~1000 倍の 1.6GHz~16GHz のクロックで 1 シンボル分のデータを複数回送出すと共に、次の 1 シンボル分のデータをメモリ部に書き込みつつ、読み出した 1 シンボル分のデータを高速コリレータで高速演算処理を行うようにしているので、構成素子数を小規模にして相關出力を得ることができる効果がある。

【0092】

【実施例】次に、本回路を用いた復調部の具体的且つ基本的な回路構成について図 6 を用いて説明する。図 6 は、本発明の実施例に係るスペクトラム拡散通信用相關回路の復調部の具体的構成ブロック図である。本実施例の復調部は、図 6 に示すように、アンテナ 51 と、RF 部 52 と、A/D 変換器 53 と、メモリ部 54 と、多タップ F/F63 と、第 1 の高速コリレータ 55 と、拡散符号発生器 56 と、プロファイラ 57 と、第 2 の高速コリレータ 58 と、RAKE 合成器 59 と、データ及び音声処理部 60 と、制御部 61 と、フィンガメモリ 62 とから基本的に構成されている。

【0093】次に、図 6 に示した復調部の各部について具体的に説明する。アンテナ 51 は、通常 2 本用意され、ダイバーシティ受信を行う。ダイバーシティ受信とは、2 本のアンテナで同一送信信号を受信し、復調した結果を合成し受信感度の向上を図るものである。

【0094】RF（Radio Frequency：無線周波数）部 52 は、ベースバンド（BB）信号を作成（復調）するものであり、直交検波を行い I 成分（同相成分）と Q 成分（直交成分）に分離する。

【0095】A/D 変換器 53 は、RF 部 52 からの BB アナログ信号をデジタル信号に変換する。変換ビット数は 4~6 ビット必要である。変換周波数は、4 倍オーバーサンプリングであれば W-CDMA（広帯域 CDMA）の場合には 16MHz となる。I/Q 信号、アンテナ毎に対し、それぞれ 1 個の A/D 変換器が必要になるが、高速処理が可能であれば、時分割処理を行わせることで 1 個の A/D 変換器で足りることになる。

【0096】メモリ部 54 は、A/D 変換器 53 で変換されたデジタル信号を少なくとも 1 シンボル分以上保持

するものである。書き込み速度は、チップ速度の 1~4 倍程度、読み出し速度も同じでよいが読み出しは多タップで行う。多タップ F/F63 は、メモリ部 54 から多タップのパラレルで入力されたデータをシリアル変換して後続の高速コリレータに出力するものである。ここで、時間変換が行われることとなる。尚、高速コリレータの替わりに MF（マッチドフィルタ）を用いる場合は、シンボル単位での一斉読み出しが要求される。また、DHO 用として、メモリ部 54' を備えている。

【0097】第 1 の高速コリレータ（Digital SC）55 は、メモリ部 54 に保持されているスペクトラム拡散された信号と拡散符号発生器 56 からの拡散符号を取り込み、その積和演算を 1 シンボル単位に行う。チップレートに比べ高速動作が行われる。また、第 2 の高速コリレータ（Digital SC）58 も第 1 の高速コリレータ 55 と同様の動作を行うが、第 2 の高速コリレータの演算結果はプロファイラ 57 に出力されるようになっている。尚、第 2 の高速コリレータ 58 の替わりにマッチドフィルタ（MF）を用いるようにしても構わない。また、DHO 用として、高速コリレータ 58' を備えている。

【0098】拡散符号発生器 56 は、制御部 61 からの指示により、指定された拡散符号を指定された位相で送出する。尚、拡散符号発生器の替わりに拡散符号を格納するレジスタであってもよい。通常の速度の拡散符号発生器であれば、CDMA 変調信号の処理と同じようにメモリ部に取り込み、多タップ F/F で時間変換してもよいし、直接多タップ F/F に取り込んで高速の時間変換処理をしてもよい。むしろ、ビット数が少ないので、同じ符号を繰り返し使うことも多いので、直接多タップ F/F に取り込む方がよい。

【0099】プロファイラ 57 は、第 2 の高速コリレータ 58（若しくは MF）からの出力を取り込み演算を行い、パスを特定する。これにより初期同期の段階では、チップ同期、シンボル同期、無線スロット同期、フレーム同期を取ることができ、基地局の特定が可能になる。また、接続先基地局が決まった通信状態においては、パスの検出を行う。これらの情報は制御部 61 に送られ、制御部 61 から第 1 の高速コリレータ 55、メモリ部 54、拡散符号発生器 56 に指示が出力される。また、DHO 用として、プロファイラ 57' を備え、DHO 時には、隣接基地局の特定とそのパスの特定を行う。

【0100】第 2 の高速コリレータ 58 の替わりに用いられる MF は、スペクトラム拡散された信号と拡散符号を取り込み、その積和演算を 1 シンボル単位に行う。チップレートに比べ高速動作が行われる。高速動作をすることにより複数のメモリからの情報を極めて高速に処理できるようになるので、干渉キャンセラへの応用が可能になる。

【0101】RAKE 合成部 59 は、フィンガメモリ 62 に取り込まれた第 1 の高速コリレータ 55 からの相關

出力を、パイロットシンボルを用いた位相補正を実施し、その後、複数パスの合成(RAKE合成)を行うものである。また、RAKE合成部59には、この他、受信信号と周波数を合わせる為のAFC、受信信号と雑音(他信号からの干渉を含む)の割合が現在どうなっているかを測定するSIR測定部などが含まれる。

【0102】データ及び音声処理部60は、誤り訂正を行うため送信側で実施した各種信号処理の逆変換(復調)を行う。これにはデインタリーブ、ビット復号、CRCデコーダ、リードソロモン復号(又はターボ復号)、音声CODECなどが存在する。

【0103】以上、詳細に説明した通り、本発明の実施の形態に係るスペクトラム拡散通信用相関回路によれば、少ないゲート規模でCDMAの復調回路を構成でき、近い将来に、小規模で相関が得られる移動体端末用のLSIを開発することができる効果がある。

【0104】

【発明の効果】本発明によれば、受信されたスペクトラム拡散された信号を書き込みと読み出しが同時に行うことができるメモリ部を備え、当該メモリ部から信号を取り込んで高速に時間変換をする論理部(時間変換用 F/F :多タップ F/F)と、複数の遅延 F/F とにより、高速コリレータにて高速に積和演算を行うスペクトラム拡散通信用相関回路としているので、構成素子を小規模にして、相関を得ることができる効果がある。

【図面の簡単な説明】

【図1】本発明の実施の形態に係るスペクトラム拡散通信用相関回路の構成ブロック図である。

【図2】本発明の実施の形態に係る別のスペクトラム拡散通信用相関回路の構成ブロック図である。

【図3】本発明における消費電力の状況を示したグラフ

図である。

【図4】本回路を干渉キャンセラユニットに用いた場合の構成ブロック図である。

【図5】本回路を干渉キャンセラに用いた場合の構成ブロック図である。

【図6】本発明の実施の形態に係るスペクトラム拡散通信用回路の具体の一実施例を示す構成ブロック図である。

【図7】本発明の実施の形態に係る別のスペクトラム拡散通信用相関回路の構成ブロック図である。

【図8】本発明の実施の形態に係るスペクトラム拡散通信用相関回路における高速コリレータを複素型とした場合の構成ブロック図である。

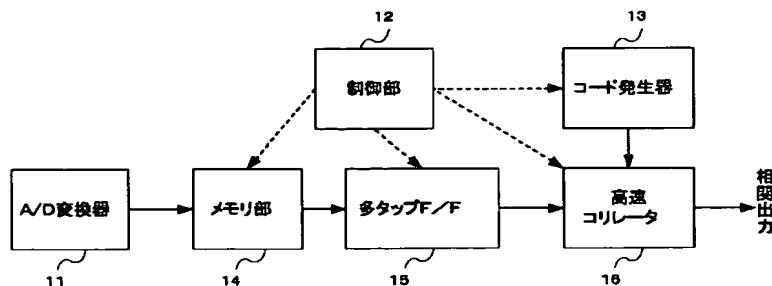
【図9】従来のスライディングコリレータの一部分の構成ブロック図である。

【図10】従来のマッチドフィルタの構成ブロック図である。

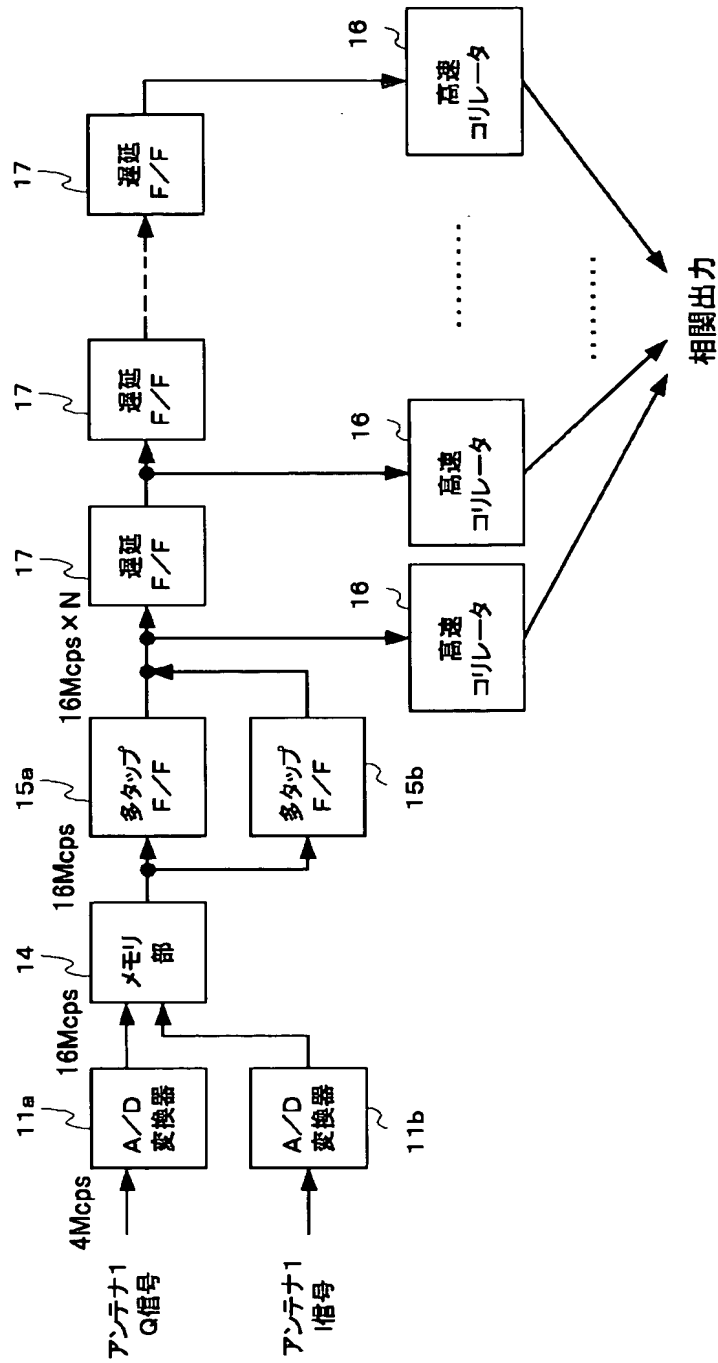
【符号の説明】

11、31、41…A/D変換器、 12…制御部、
13…コード発生器、14…メモリ部、 15…多タップ F/F 、 16…高速コリレータ、 32、42…乗算器、 33、43…PNコードレジスタ、 34、44…加算器、35…遅延回路、 45…サンプルホールド(S/H)回路、 51…アンテナ、 52…RF部、 53…A/D変換器、 54…メモリ部、 55…第1の高速コリレータ、 56…拡散符号発生器、 57…プロファイラ、 58…第2の高速コリレータ、 59…RAKE合成部、 60…データ及び音声処理部、 61…制御部、 62…フィンガメモリ、 63…多タップ F/F

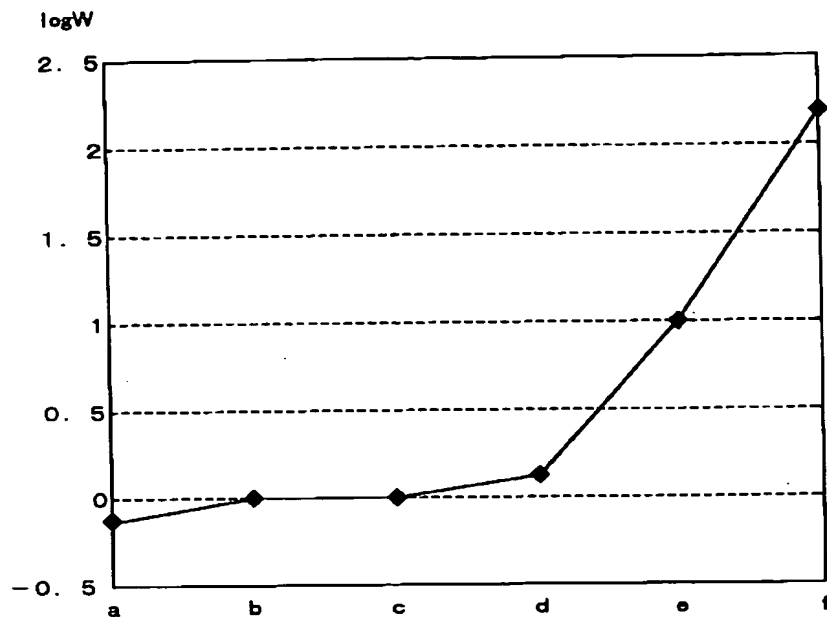
【図1】



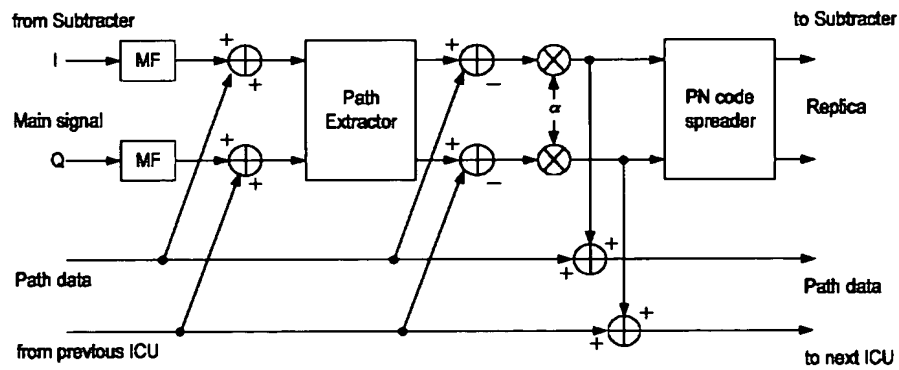
【図 2】



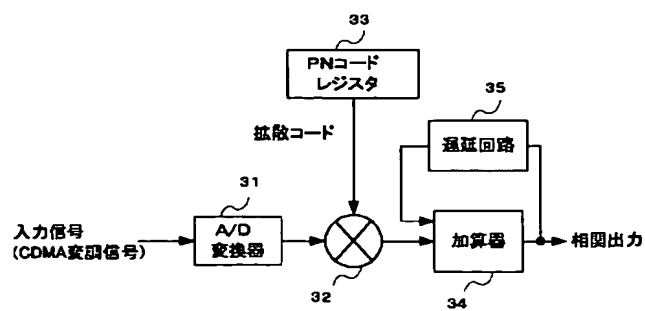
【図 3】



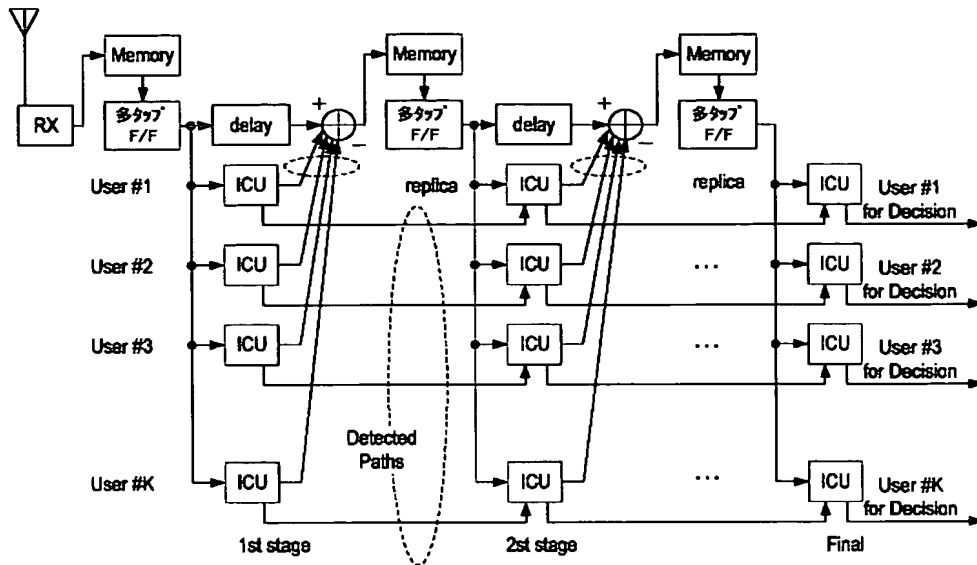
【図 4】



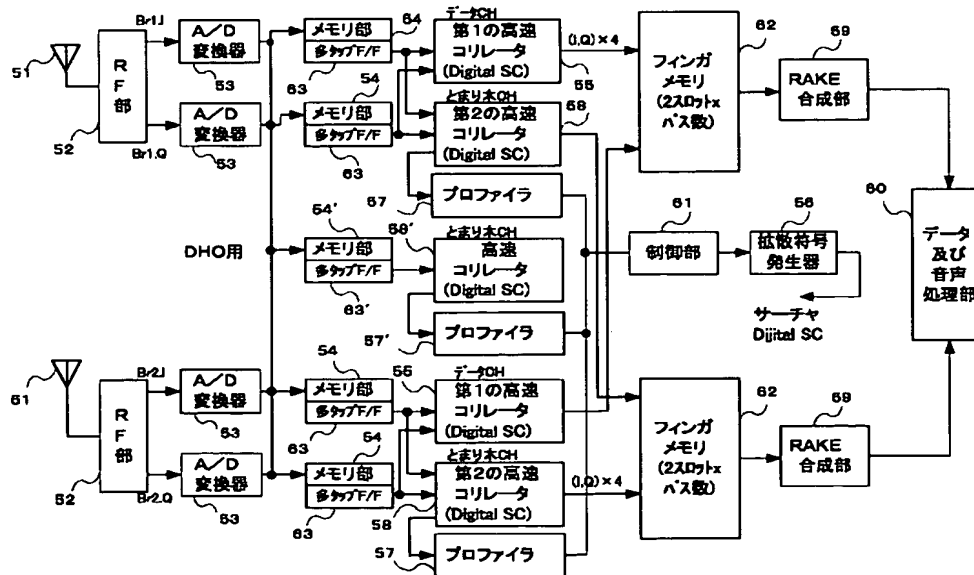
【図 9】



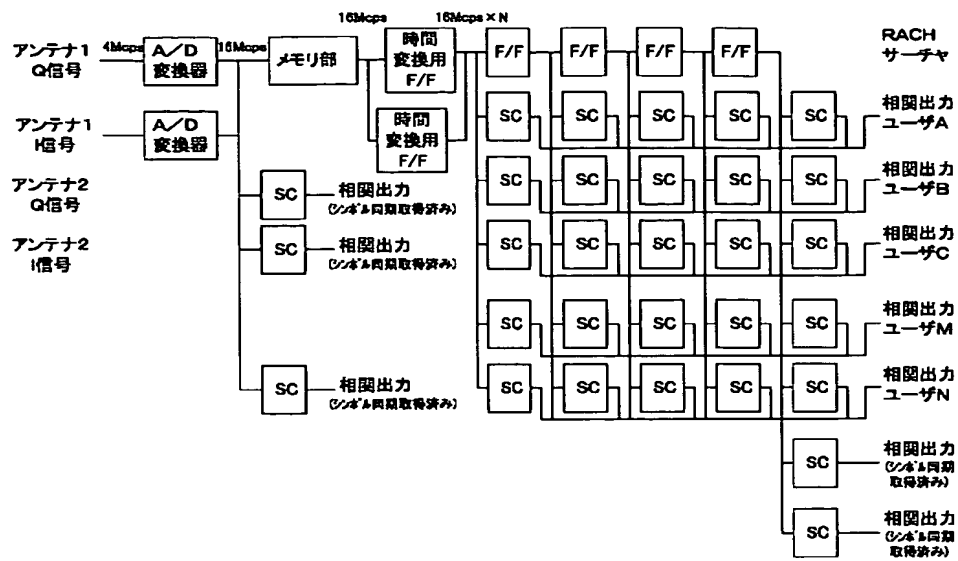
【図 5】



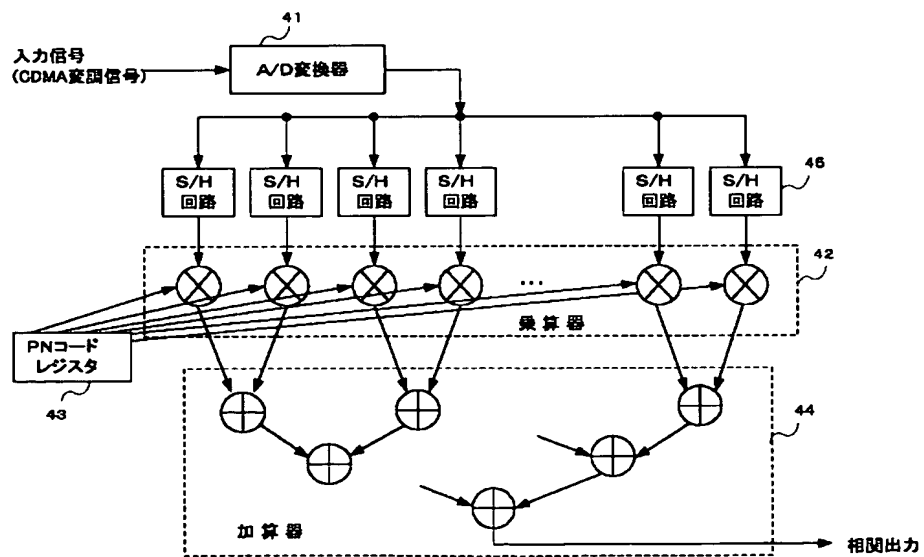
【図 6】



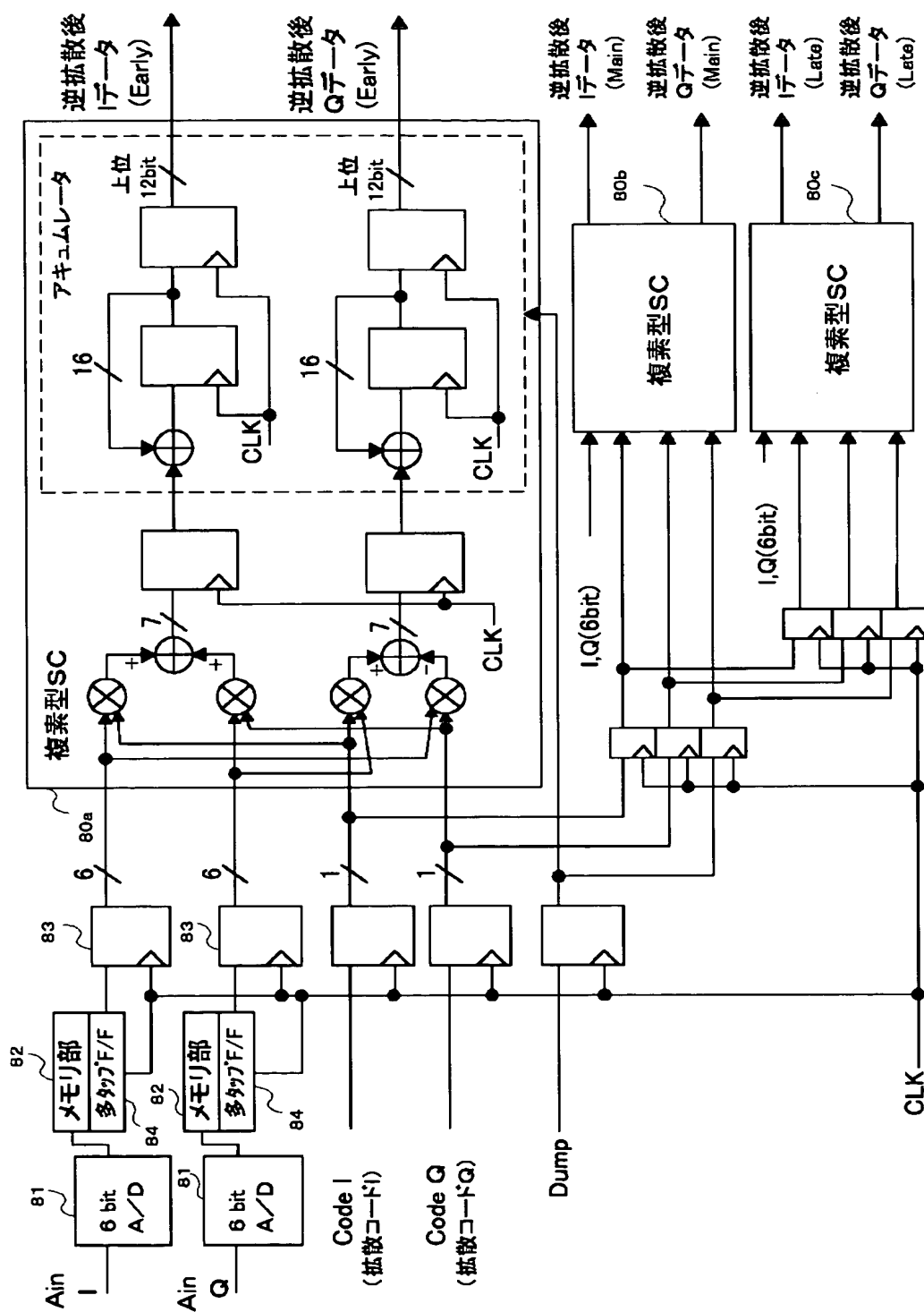
【図 7】



【図 10】



【図 8】



フロントページの続き

(72)発明者 安成 健次郎
東京都中野区東中野三丁目14番20号 国際
電気株式会社内

F ターム(参考) 5K022 EE02 EE32 EE36
5K047 AA16 BB01 GG34 HH15 LL04
MM11 MM24 MM36 MM45 MM53